

⑫ 公開特許公報(A) 平4-127521

⑤ Int. Cl.⁵H 01 L 21/208
H 01 S 3/18

識別記号

Z

庁内整理番号

7353-4M
9170-4M

⑬ 公開 平成4年(1992)4月28日

審査請求 未請求 請求項の数 7 (全6頁)

⑭ 発明の名称 半導体基板の製造方法

⑰ 特 願 平2-247475

⑱ 出 願 平2(1990)9月19日

⑲ 発 明 者 加 藤 清 子 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑳ 発 明 者 古 谷 章 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁 理 士 青 木 朗 外4名

明 細 書

1. 発明の名称

半導体基板の製造方法

2. 特許請求の範囲

1. 半導体基板上に、該半導体基板を露出する開口部を有するマスクを形成し、該露出した半導体基板を種結晶として前記半導体基板の格子定数と異なる格子定数を有する化合物半導体結晶を液相成長し、その横方向成長によって該マスク上にも当該化合物半導体結晶を形成することを特徴とする半導体基板の製造方法。

2. 前記化合物半導体結晶上に、更に前記開口部からずれた位置に該化合物半導体結晶表面を露出する第2の開口部を設けた第2のマスクを形成し、前記露出した半導体結晶を種結晶として第2の化合物半導体結晶を形成することを特徴とする請求項1記載の方法。

3. 前記半導体基板上にグレーデッド層を形成した後、前記開口部を有するマスクを形成することを特徴とする請求項1又は2記載の方法。

4. 前記開口部はライン状であることを特徴とする請求項1又は2記載の方法。

5. 基板表面が(100)面であり、前記ライン状のマスクが<110>方向に形成されることを特徴とする請求項4記載の方法。

6. 前記ライン状の開口部に露出した半導体基板の結晶方向と仮位線の方向を一致させることを特徴とする請求項4記載の方法。

7. 前記マスクが窒化アルミニウムであることを特徴とする請求項1又は2記載の方法。

3. 発明の詳細な説明

〔 概 要 〕

半導体基板の製造方法及びその基板を用いた半導体装置に係り、特に、光半導体デバイス、高速半導体デバイス等に用いる結晶を成長させるための基板材料の結晶成長方法及びその結晶を利用した半導体装置に関し、

半導体素子を作製するため、あらゆる化合物半導体の格子定数に対応可能な低い格子欠陥密度の半導体基板を製造する方法を提供すること及び上

記良好な半導体基板を用いた半導体装置を提供することを目的とし、

半導体基板上に、該半導体基板を露出する開口部を有するマスクを形成し、該露出した半導体基板を種結晶として前記半導体基板の格子定数と異なる格子定数を有する化合物半導体結晶を液相成長し、その横方向成長によって該マスク上にも該化合物半導体結晶を形成することを構成とする。

〔産業上の利用分野〕

本発明は半導体基板の製造方法に係り、特に、光半導体デバイス、高速半導体デバイス等に用いる結晶を成長させるための基板材料の結晶成長方法に関するものである。

〔従来の技術〕

混晶半導体の適応範囲を広げるため格子定数を自由に制御した基板材料の開発が要求されている。このため、作製する結晶の格子定数が InP ・ GaAs 等の2元化合物半導体または Si の格子定数と異なる

場合該半導体上に、歪超格子層またはグレーデッド層を成長することによって、格子定数を制御し、あらゆる格子定数を持つ基板を提供している。

〔発明が解決しようとする課題〕

しかし、このようにして作製した基板の結晶表面には多数の格子欠陥が存在しており、この基板上に成長した結晶中には、貫通転位など多くの格子欠陥を生じた。

またこのようにして基板上に形成された多くの格子欠陥を有する結晶を用いて作製した半導体素子は、高速半導体デバイスや、光半導体デバイスなどとして利用出来る良好な素子特性を得ることができないという問題を生じていた。

もしも基板とは格子定数が異なった良質、広面積な半導体層を新たな導体基板とみなすことが可能となればⅢ－Ⅴ族化合物半導体において重要な意義を有する。例えば、 InGaAlAs 系の材料による半導体レーザを例に取ってこのことを説明する。現在 Br^{3+} ドープ光ファイバンプ用励起光源とし

て、 $0.98\mu\text{m}$ 程度の半導体レーザへの要求が高い。半導体レーザ実現のためには、該波長の光子と等しいバンドギャップを有する直接遷移型活性層と、該活性層に対し、伝導帯、価電子帯とも少なくとも 150meV 以上バンド不連続があるクラッド層が必要である。しかしこのような系は、現在多く用いられている2元半導体基板に格子整合する系では得られず、 GaAs の組成に近い、 InGaAs に格子整合する系において最も効果的に得られることがわかる。

本発明は、半導体素子を作製するため、あらゆる化合物半導体の格子定数に対応可能な低い格子欠陥密度の半導体基板を製造する方法を提供することを目的とする。

更に又本発明は上記良好な半導体基板を用いた半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

上記課題は、本発明によれば

半導体基板上に、該半導体基板を露出する開口

部を有する形成したマスクを形成し、該露出した半導体基板を種結晶として前記半導体基板の格子定数と異なる格子定数を有する化合物半導体結晶を液相成長し、その横方向成長によって形成することを特徴とする半導体基板の製造方法によって解決される。

本発明では上記方法において前記開口部からずれた位置に化合物半導体結晶上に、更に該化合物半導体結晶表面を露出する第2の開口部を設けた第2のマスクを形成し、前記露出した半導体結晶を種結晶として第2の化合物半導体結晶を形成してもよい。

本発明では半導体基板上にグレーデッド層を形成した後、前記開口部を有するマスクを形成することもできる。

格子不整合の成長において、格子不整によるエピタキシャル層中の歪エネルギーによりエピタキシャル層中に転位等の格子欠陥が発生する。この転位は(111)面上では、 $\langle 110 \rangle$ 方向に並ぶ 60° 転位である。この転位が結晶表面に欠陥を発生さ

せる原因となっている。この欠陥を減少させるため、 SiO_2 膜を付着させラインシードを形成した基板を使用することにより、結晶が基板による拘束を受ける面積を低下させることによって、結晶中の歪エネルギーを低下させることが可能である。さらに、転位の方向とラインシードの方向を一致させるつまりラインシードの方向を $\langle 110 \rangle$ 方向にすることにより、ラインシード内で発生したミスフィット転位が横方向成長層に与える、影響を低下させることができる。

例えば、GaAs基板上に通常成長した $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層では $6 \times 10^5 \text{ cm}^{-2}$ の転位密度が、 $3 \mu\text{m}$ のラインシードから成長した横方向成長層では $1 \times 10^6 \text{ cm}^{-2}$ に低下する。更に幅 $3 \mu\text{m}$ の $\langle 110 \rangle$ 方向のラインシードから成長した横方向成長層では $1 \times 10^5 \text{ cm}^{-2}$ になる。このため更に本発明ではライン状の溝に露出した半導体基板の結晶方向と転位線の方向を一致させるのが好ましい。

また上記課題は本発明によれば

半導体基板上にライン状の溝を有するマスクと、

該マスク上に該溝を介して前記半導体基板を種結晶として形成された半導体層を有することを特徴とする半導体装置によって解決される。

前記半導体層の格子定数が前記半導体基板の格子定数と異ならしめることが可能であり、

また用いられるマスク材としては、スパッタによる数百nmの緻密な薄膜形成及び酸による微細なエッチングが容易であり上記基板上に形成される素子の発熱の、基板側への放散の妨げにならないような良好な熱伝導率（熱伝導率が大）を有する点から窒化アルミニウム(AlN)を用いることが好ましい。

〔作用〕

横方向成長によって形成された結晶において、格子欠陥は、マスクの孔部において基板と接している部分に基板から伝えられる貫通転移と、格子定数の違いによる格子欠陥が存在するが本発明によれば、半導体素子を製造するための基板表面を横方向成長によって成長するようにし、基板と接

触することによって生じる欠陥を、マスクの孔部のみに押さえることが出来、更にマスクの孔部を欠陥のない結晶表面に位置させ、横方向成長を繰り返すことによって、格子定数を自由に制御した欠陥密度の低い半導体結晶基板の製造が可能になる。

また本発明ではマスクの孔部のライン方向と転位線の方向を一致させた場合横方向成長層の欠陥密度が低下せしめられる。

〔実施例〕

以下本発明の実施例を図面にもとづいて説明する。

第1図及び第2図は、本発明に係る半導体基板の第1の実施例を示す模式断面図である。

GaAs基板1上に厚さ200nmの SiO_2 膜2をCVD法により付着させ、この SiO_2 膜にフォトリソグラフィ技術により幅 $2 \mu\text{m}$ のストライプ状の孔4を例えば200 μm 間隔で複数形成する。得られた基板上に固相組成 $\text{In}_{0.12}\text{Ga}_{0.88}\text{As}$ に対応して800℃で

飽和している(In-Ga-As)溶液から1℃の過冷却度をつけて30分間成長を行い、厚さ10 μm のInGaAs層3を形成した。

第1図の構造を多層化する場合は、以下の様な工程が施される。

第2図に示すように、GaAs基板1上に厚さ200nmの SiO_2 膜2aを公知のCVD法により付着する。この SiO_2 膜2にホトリソグラフィ技術により幅約 $2 \mu\text{m}$ のストライプ状の孔4aを所定位置に複数形成して、ラインシードを点在させる。得られた基板上に、固相組成 $\text{In}_{0.12}\text{Ga}_{0.88}\text{As}$ に対応して800℃で飽和している(In-Ga-As)溶液から、1℃の過冷却度をつけて、0.2度/分の冷却速度で30分間結晶成長（液相エピタキシャル：LPE成長）を行ない厚さ10 μm のInGaAs層の3aを形成した。更に、InGaAs層3a上に厚さ200nmの SiO_2 膜2bをCVD法により付着させ上記と同様に幅約 $2 \mu\text{m}$ のストライプ状の孔4bを孔4aの位置から100 μm だけずらせて形成し、同様に30分間横方向結晶成長を行ない厚さ10 μm のInGaAs層3bを形成

した。

第3図は本発明に係る半導体基板の第2の実施例を示す模式断面図である。

第3図に示すように、GaAs基板1上にVPE（気相エピタキシャル）法によって組成をGaAsから $\text{In}_{0.12}\text{Ga}_{0.88}\text{As}$ へ徐々にずらしたグレーデッド層4を形成し、その上にマスク材として厚さ200nmの SiO_2 膜2cをCVD法により付着させる。この SiO_2 膜に上記第1の実施例と同様に幅約2μmのストライプ状の孔4cを複数形成してラインシードを点在させる。この上に、固相組成 $\text{In}_{0.12}\text{Ga}_{0.88}\text{As}$ に対応し800度で飽和している（In-Ga-As）溶液から、1度の過冷却度をつけて、0.2度/分の冷却速度で30分間結晶成長を行ない厚さ10μmのInGaAs層3cを形成した。更に、厚さ200nmの SiO_2 膜2dをCVD法により付着させ孔4dを形成後、同様に30分間結晶成長を行ないInGaAs層3dを形成した。孔4dは孔4cからずらして形成した。

第4図（a）及び（b）は本発明に係る半導体

基板の第3の実施例を示す模式断面図及び

第4図に示すようにGaAs(111)B基板1上にマスク材として厚さ200nmの SiO_2 膜2eをCVD法により付着させる。

この SiO_2 膜2eにホトリソグラフィ技術により幅約3μmの<110>方向の孔4e（ラインシード露出部）を点在させる。この上に、固相組成 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ に対応し800度で飽和している（In-Ga-As）溶液から、1度の過冷却度をつけて、0.2度/分の冷却速度で30分間結晶成長を行ない厚さ10μmのInGaAs層3eを形成した。この結果、GaAs基板上に直接成長した $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層では $6 \times 10^8 \text{cm}^{-2}$ 程度であった格子欠陥密度が、<110>方向のラインシードから形成した横方向成長層では、 10^8cm^{-2} 程度に低下した。更に200nmの SiO_2 膜2dにホトリソグラフィ技術によって幅3μmの<110>方向のラインシードを点在させる。この上に、固相組成 $\text{In}_{0.12}\text{Ga}_{0.88}\text{As}$ に対応し800度で飽和している（In-Ga-As）溶液から、同様

に30分間結晶成長を行ない厚さ10μmのInGaAs層3fを形成した。

第5図は本発明に係る半導体装置（発光素子）の第1の実施例を示す模式断面図である。

上記第4図で示した第4の実施例で得られた結晶成長基板を用い第5図に示した半導体発光素子を作製した。すなわちInGaAs層（ $\text{In}_{0.12}\text{Ga}_{0.88}\text{As}$ ）3f上に $\text{In}_{0.05}\text{Ga}_{0.95}\text{P}$ 層10、 $\text{In}_{0.12}\text{Ga}_{0.88}\text{As}$ 層11、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{P}$ 層12、Au-Ge電極21、Au-Zn電極22からなる発光素子を形成した。良好な結晶上への素子形成を実現するため、素子はシードとなる滑上の外の所に形成されている。

第6図は本発明に係る半導体装置の第5の実施例を示す模式断面図である。

第6図（a）に示すようにn-GaAs(111)B基板1b上にAlN膜7を反応性スパッタ法により2000Åの厚さに堆積させる。その後AlN膜7上にホトレジスト8を設けホトリソグラフィ技術により幅10μmのストライプ状孔4g（窓）をリン酸を用いたエッチングにより形成した後、ホトレジスト

8を除去する（第6図（b）、（c）、（d））。次に厚さ5μmのn-InGaAs層13、そして厚さ2μmのn-GaAlInAs層14、厚さ0.1μmのInGaAs層15、厚さ1μmのp-GaAlInAs層16、厚さ0.2μmのp-InGaAs層17をLPE法（横方向成長法）でそれぞれ形成する（第6図（e）、（f））。

次に第6図（g）に示すようにストライプ窓マスクとしての SiO_2 膜18を形成しAu/Zn/Au p電極19を形成し、n-InGaAs層13が露出するまでエッチングした後、第6図（f）に示すようにAu/AuGe n電極20を形成しその後チップに劈開することによりメタルストライプレーザを製造した。本実施例ではAENの採用により素子の基板側への熱放散がよく大電流動作による熱飽和耐性の良いレーザが実現できる。なお、実施例ではLDについて説明したがその他の発熱による素子の特性変化が問題となる半導体素子についても素子の熱放散を向上させるAEN膜の採用は応用可能である。

〔発明の効果〕

以上説明したように、本発明によれば格子定数を自由に制御した結晶を、格子欠陥を導入することなく作製することができ、光半導体デバイス、高速半導体デバイスなどに用いる結晶を成長させるための結晶性の良い基板材料を提供することが可能になるという効果を奏し、光半導体デバイス、高速半導体デバイスなどに用いる混晶半導体の適応範囲を拡大することが出来、新しい半導体素子の開発に寄与するところが大きい。

4. 図面の簡単な説明

第1図は及び第2図は、本発明に係る半導体基板の第1の実施例を示す模式断面図であり

第3図は本発明に係る半導体基板の第2の実施例を示す模式断面図であり

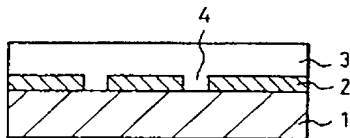
第4図は本発明に係る半導体基板の第3の実施例を示す模式断面図であり

第5図は本発明に係る半導体装置（発光素子）の第1の実施例を示す模式断面図であり

第6図は本発明に係る半導体装置の第2の実施

例を示す模式断面図である。

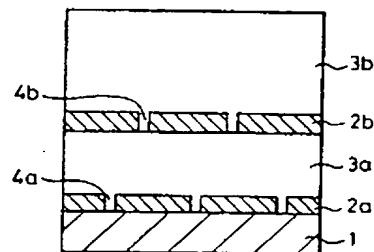
- 1…GaAs、 1a…GaAs(111)基板、
 1b…n-GaAs(111)B基板、
 2a、2b、2c、2d、2e、2f…SiO₂膜、
 3a、3b、3c、3d、3e、3f…InGaAs層、
 4a、4b、4c、4d、4e、4f…孔、
 5…グレーデッド層、
 7…AlN膜、 8…ホトレジスト、
 13…n-InGaAs層、 14…n-GaAlInAs層、
 15…InGaAs層、 16…p-GaAlInAs層、
 17…InGaAs層、 18…SiO₂膜、
 19…Au/Zn/Au n電極、
 20…Au/AuGe n電極、
 21…Au-Sn層、 22…Au-Zn層。



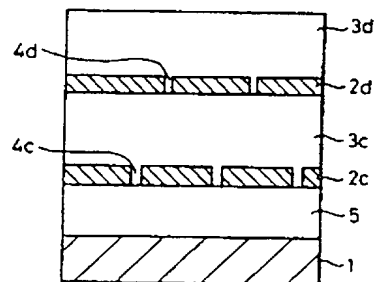
第1図

- 1…GaAs基板
 2…SiO₂膜
 3…InGaAs層
 4…孔

336

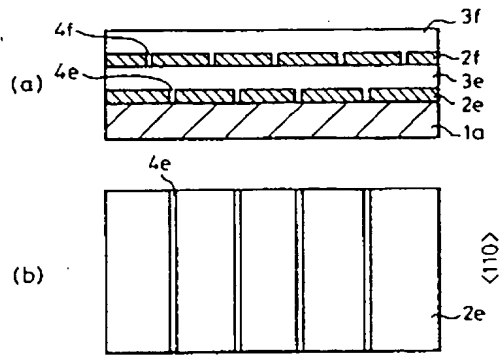


第2図

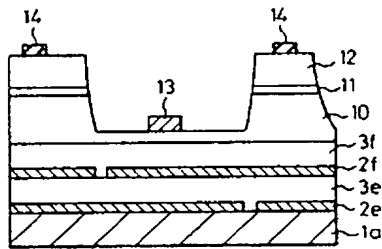


第3図

- 1…GaAs基板 4a、4b、4c…孔
 2a、2b、2c…SiO₂膜 5…グレーデッド層
 3a、3b、3c…InGaAs層

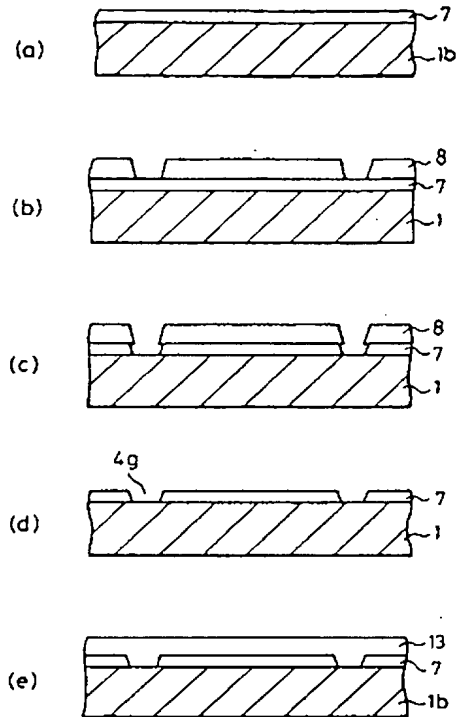


第 4 図



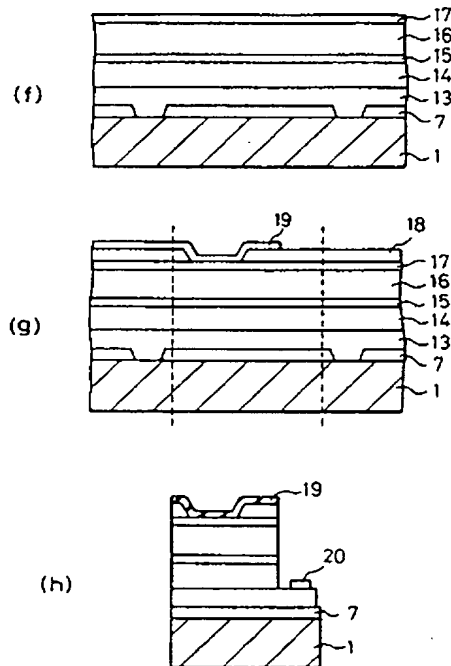
第 5 図

- | | |
|---|---|
| 1a...GaAs(111) 基板 | 11...In _{0.52} Ga _{0.48} As 層 |
| 2e, 2f...SiO ₂ 膜<110> 方向 | 12...In _{0.52} Ga _{0.48} As p 層 |
| 3e, 3f...InGaAs 層 | 13...Au-Sn 層 |
| 4e, 4f...孔 | 14...Au-Zn 層 |
| 10...In _{0.52} Ga _{0.48} As p 層 | |



第 6 図

- | |
|----------------------|
| 1b...n-GaAs(111)B 基板 |
| 7...A 層 膜 |
| 8...ホトレジスト |
| 13...n-GaAs 層 |



第 6 図

- | | |
|----------------------|-------------------------|
| 1b...n-GaAs(111)B 基板 | 16...p-GaAs/InAs 層 |
| 7...A 層 膜 | 17...InGaAs 層 |
| 13...n-InGaAs 層 | 18...SiO ₂ 層 |
| 14...n-GaAs/InAs 層 | 19...Au/Zn/Au p 電極 |
| 15...InGaAs 層 | 20...Au/AuGe n 電極 |